

Data communications

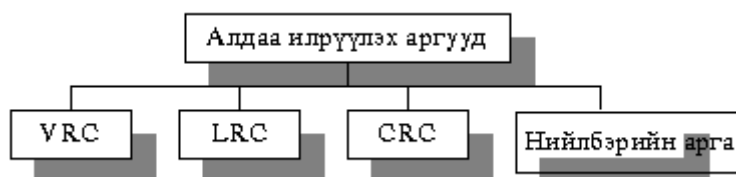
Lecture 10

Error detection and correction techniques, protocols

Prof. Tuyatsetseg Badarch, PhD, MBA.

Фреймийн битийн алдаа илрүүлэлтийн протокол (Error detection protocol)

Багцын фреймийн форматын алдаа илрүүлэх загвар битүүдийн комбинацыг ашиглан фреймийн битүүдийн алдааг зураг 3.12-д дүрсэлсэн аргуудаар тодорхойлдог. Үүсгүүр өгөгдлийн битийн цуваанд нэмэлт битүүдийг нэмж, сувгаар дамжуулаад, хүлээн авах хэсэгт нэмэлт хяналтын битүүдийг хасах зарчмаар эх өгөгдлийн хуулбарыг хүлээж авна. Өгөгдлийн холбоонд зайлшгүй нэмэлт битүүд ашиглан алдааг тооцно.



Зураг 3.12 Алдаа илрүүлэх аргууд

Зураг 3.12-д үзүүлснээр парити битээр шалгах арга VRC (*vertical redundancy check*), цикл битүүдээр шалгах арга- CRC (*cyclic redundancy check*), урт үргэлжлэлтэй кодоор шалгах арга LRC (*longitudinal redundancy check*), мөн фреймийн битүүдийн нийлбэрийг тооцох аргуудаар фреймийн битүүдийн алдааг илрүүлнэ.

VRC, CRC, LRC аргуудын зарчимд өгөгдлийн сувгийн түвшинд багцын битүүдэд алдаа илрүүлэх үүрэгтэй шалгагч битүүдийг нэмж, фреймийг үүсгэнэ. Физик түвшингээр фреймийг дамжуулна.

Фреймийн битүүдийн нийлбэрийг тооцох аргыг өгөгдлийн боловсруулалтын дээд түвшингүүдэд хэрэгжүүлнэ.

Энэ үйл явц нь өгөгдлийн сүлжээний дамжууллыг найдваржилтыг тооцоолох үндсэн арга бөгөөд өгөгдлийн сувгийн хяналтын алдаа илрүүлэх техник юм.

3.5.1 Фреймийн бит алдагдах магадлал

Өгөгдөл дамжууллын системд гажуудлууд, өгөгдлийн хурд, дохио шуугианы харьцаа зэрэг параметрүүдээс гадна өгөгдлийн фреймийн доторхи бит алдагдсанаас болж үүсэх алдааны параметрыг тооцоолж үздэг. Эдгээр фреймийн алдааг дараах магадлалуудаар тодорхойлно.

P_b - өгөгдөл тээгч нэгж фреймийн хувьд зөвхөн нэг бит алдагдсан байх магадлал.

P_1 - нэгж фреймийн битүүд бүгд алдаагүй дамжигдсан байх магадлал.

P_2 -нэгж фреймийн 1 ба түүнээс дээш хэд хэдэн битүүдийн алдаа илрүүлэгдээгүй хүлээн авах магадлал.

P_3 - нэгж фреймийн хэд хэдэн бит дамжууллын явцад алдагдсан ч хүлээн авах талд илрүүлсэн байх магадлал.

Илрүүлсэн үеийн P_3 магадлалыг тэгтэй тэнцүүгээр тооцно. Энэ үед

P_b -тогтмол гээд P_1 -ын утгыг (3.10) томъёогоор тодорхойлно.

$$P_1 = (1 - P_b)^F \quad (3.10)$$

P_2 -ын утга (3.11) томъёогоор

$$P_2 = 1 - P_1 \quad (3.11)$$

гэж тодорхойлогдоно.

F - нэг фреймийн битүүдийн тоо.

Дараалсан олон фреймүүдийн доторх фрейм хаягдаагүй дамжсан тохиолдолд нэгж битийн инверсийн алдааны магадлал ихсэж, фреймийн алдагдах магадлал буурна.

Дасгал 5.

Тоон системийн 64 кбит/с хурдтай нэг тоон сувгаар нэг өдрийн туршид тасралтгүйгээр өгөгдөл дамжуулахад хамгийн ихдээ бит засагдаагүй нэг фрейм дамжигдана гэж тооцдог. Нэг фреймийн уртыг 1000 бит гэж үзвэл өдөрт дамжсан фреймийн тоо 5.529×10^6 хэмжээтэй. P_2 -ын хэмжээг нийт битүүдийн тооны урвуу хамаарлаар тооцвол

$$P_2 = \frac{1}{5.529 \times 10^6} = 0.18 \times 10^{-6} \quad \text{гэж тодорхойлогдоно.}$$

64 кбит/с хурдтай сувгийн хувьд $P_b = 10^{-6}$ стандарт хэмжээтэй. P_1 хэмжээг (3.10) томъёогоор тодорхойлбол

$$P_1 = (0.999999)^{1000} = 0.999$$

$$(3.11) \text{ томъёогоор } P_2 = 10^{-3}$$

Өгөгдлийн сувгийн түвшний фреймийн бүтцэд алдаа засварлах кодуудаас бүрдэх нэмэлт битүүдийг (CRC, FCS, LRC, VRC) нэмж өгнө. Хүлээн авах төхөөрөмж нь өгөгдөл ба алдаа засварлах кодын харьцуулалтаар фреймийн алдааг илрүүлнэ. Фреймийн алдааг илрүүлэх CRC, FCS, LRC, VRC аргуудыг авч үзье.

3.5.2 Битийн алдаа илрүүлэх VRC арга

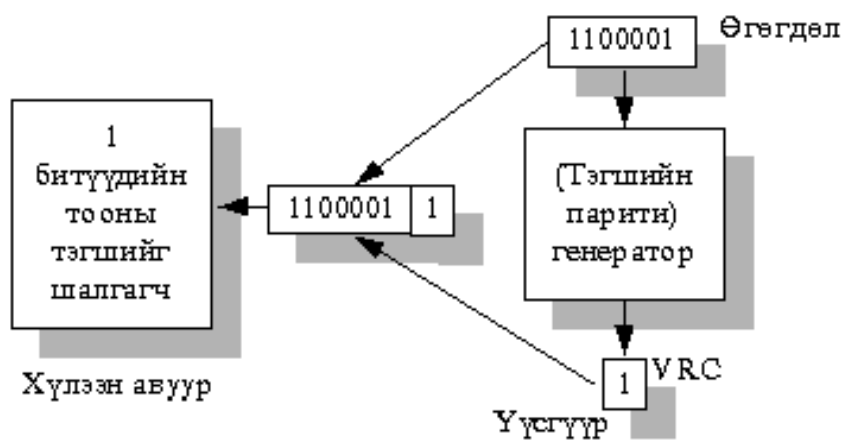
Техник хангамжийг өндөр үнэтэй бүтээдэг алдаа илрүүлэх аргад VRC буюу парити битээр шалгах арга хамаарагдана. Парити гэдэг нь тэгш , сондгойг шалгагч тэнцлийн бит гэсэн үг. Цаашид тэгш, сондгойгийн парити бит гэсэн нэрээр нэрлэе.

Өгөгдлийн асинхрон дамжууллын үед блокын төгсгөлийн тэгш, сондгойг шалгагч парити битээр алдааг илрүүлдэг. Энэ битийг ASCII кодын тогтмол хүснэгтээр илэрхийлэгдэх 7 битэд нэмж өгнө. Ийм учир нэмэлт бит гэж авч үзнэ.

Тэгшийг шалгах нэмэлт битийг модуль хоёрын үйлдлээр ASCII кодын 7 битийг хооронд нэмэх замаар олно. Тоолуурын триггерийн төхөөрөмжөөр 7 битийн доторх нэг битүүдийг тоолох замаар нэмэлт битийн төлөвийг тодорхойлдог.

ASCII кодын дамжууллын үед 7 бит бүхэнд нэг тэгш, сондгойг шалгагч парити бит ноогдоно. Тухайн 8 тэмдэгтийн доторхи 1 битийн тэгш, сондгойгоос хамаарч, тэгшийн парити мөн сондгой парити битийн зарчмаар хүлээн авах зарчимтай. Ихэнх тохиолдолд тэгшийн парити дүрмийг хэрэглэнэ.

Энэ процесс нь өгөгдлийн сүлжээний дамжууллыг найдваржилтыг тооцоолох үндсэн аргад хамаарна. Өгөгдлийн сувгийн хяналтын алдаа илрүүлэх нэг төрлийн техник болно.



Зураг 3.13 Тэгшийн парити зарчимтай VRC арга

Зураг 3.13-д үзүүлснээр VRC аргын зарчим нь тэгшийн шалгагч бит өгөгдлийн хэсэг бүрт нэмэгдэж байна. Хүлээн авах хэсэгт өгөгдлийн хэсгийн нэгийн битүүдийн нийлбэр тоо тэгш тоотой байх зарчимтай. Энэ тохиолдолд өгөгдлийн хэсэг зөв дамжигдсан гэсэн үг юм. Өгөгдөл дамжигдахаасаа өмнө тэгшийн парити битийн генератороор дамжина. Тоолоход 3 нэг төлөвийн бит болж, нэмэлт нэг төлөвийн битийг нэмэх нь харагдаж байна.

Зурагт үзүүлснээр тэгшийн парити дамжууллын дүрэмтэй учир генератороос 1 төлөвтэй битийг тэмдэгтийн битүүдэд нэмж өгнө.

Нэвтрүүлэх хэсэгт дөрвөн нэг болж тэгшийн дүрэм биелсэн.

Сүлжээгээр дамжуулаад хүлээн авах хэсэгт өгөгдлийн хэсгийн бүх битүүдэд парити битийг оролцуулаад бүх нэгийн төлөвийн битийн тоо тэгш бол өгөгдлийг зөв хүлээн авсан, сондгой бол алдаатай хүлээн авсан гэж тодорхойлно.

Зарим системд сондгой парити битийн зарчмыг хэрэглэдэг.

Сондгой парити биттэй дамжууллын үед хүлээн авах хэсэгт дээрх тэмдэгтүүдийг тоолоод хэрвээ 1-ийн тоо сондгой байвал алдаагүй гэж үзнэ.

Хэрвээ аль нэг нь сондгой дугаартай бит дамжууллын явцад инверслэгдсэн бол хүлээн авуур алдааг засварлана.

Хэрвээ тэгш тоотой бит инверслэгдсэн бол хүлээн авах төхөөрөмж алдааг засварлахгүй.

Практикт тэгшийн паритийн дүрмээр синхрон дамжууллын системийн битийн алдааг, сондгой парити битийн дүрмээр асинхрон дамжууллын системийн битийн алдааг илрүүлнэ.

Дасгал 6.

ASCII кодоор G(1110001) үсгийг сондгой парити битийн дүрмээр дамжуулбал G үсгийн битүүдийн доторх 1 битүүдийн нийлбэр тоо сондгой байхаар хүлээн авагдах ёстой. Энэ тохиолдолд хүлээн авах хэсэгт G үсгийн доторх 1 битүүдийг тоолоод сондгой байвал G үсэг зөв дамжигдсан.

Хүлээн авах G бит $G(11100011)$. Сондгой парити битийн дүрмээр төгсгөлийн 1 бит парити бит болно. Иймд парити бит 1 битийн төлөвөөр тодорхойлогдох шаардлагатай.

Харин тухайн G тэмдэгтийн 1 битүүдийн тоо тэгшээр тоологдоод $G(11100010)$ гэж хүлээн авагдсан тохиолдолд алдаатай дамжигдсан болно.

Парити битийн хэрэглээ нь шуугианы импульсууд нэгээс илүү битийн үргэлжлэлээр дамжигддаг учир өгөгдлийн өндөр хурдад тохиромжтой.

Дасгал 7.

Компьютерийн хэрэглэгч “world” гэдэг үгийг илгээхэд ASCII тэмдэгтээр дараах кодын хэлбэрт хувиргагдана.

1110111(W),1101111(O),1110010(R),1101100(L),1100100(D)

Тэгшийн паритийн дүрмээр эхний 4 тэмдэгтийн 1 битийн нийлбэр тэгш учир эдгээр тэмдэгтийн парити бит 0, харин эцсийн D үсгийн ASCII кодын 1 битийн нийлбэр тоо сондгой 3 болж парити бит 1 төлөвөөр сонгогдож, тэгшийн дүрэм биелнэ.

11101110(W),11011110(O),11100100(R),11011000(L),11001001(D)

Дээрх үгийг хүлээн авуур алдаагүй хүлээн авсан хэлбэр:

11101110(W),11011110(O),11100100(R),11011000(L),11001001(D)

Дээрх үгийг хүлээн авуур алдаатай хүлээн авсан хэлбэр:

11111110(W),11011110(O),11101100(R),11011000(L),11001001(D)

Хүлээн авуур тэмдэгтийн битүүдийг тоолоход 1 битийн төлөвийн нийлбэр утга 7,6,5,4,4 тоогоор хүлээн авагдаж, алдаа үүссэн нь илрүүлэгдлээ. Энэ тохиолдолд өгөгдлийн холбооны ARQ протоколын зарчмаар NACK дахин дамжууллын богино мэдээллийг хүлээн авуур үүсгүүр хэсэг рүү дамжуулна. Жишээгээр w,r үсгийн дахин дамжуулалт хийнэ. Мөн алдаа засварлах кодоор алдааг хүлээн авах хэсэгт засаж болдог.

3.5.3 Битийн алдаа илрүүлэх LRC арга

Битийн алдаа илрүүлэх LRC аргыг жишээгээр тайлбарлая.

Үүсгүүрийн 4 үсэгний (нэг үсэг 7 бит ,парити 1 битээс бүрдэнэ.) ASCII өгөгдлийн цуваа нийт 32 битээс үүснэ. 32 бит нь 8 битээр 4 блок өгөгдлийг үүсгэнэ.

11100111 11011101 00111001 10101001

Дээрх тэмдэгтүүдийг тэгшийн парити аргаар дамжуулсан учир 8 дахь битүүд 1111 гэж сонгогдсон.

LRC тэмдэгтийн битүүдийг сонгохдоо дээрх тэмдэгтүүдийн битүүдийн харгалзах дугаараар нь тэгшийн парити дүрмийг ашиглана. Нийт 4 үсгийн 1-ээс 8 дахь битүүдийн нийлбэр харгалзан тэгшийн парити битээр LRC-ын битүүдийг үүсгэнэ.

11100111

11011101

00111001

10101001

10101010 -LRC битийн комбинац үүснэ.

Эх өгөгдлийн блок 11100111 11011101 00111001 10101001 10101010 (LRC)

хэлбэртэйгээр үүсгүүрээс сүлжээгээр дамжигдана.

Дамжууллын шуугианаас шалтгаалж, 8 битүүдийн зарим битүүд бүлэг алдаанд өртвөл жишээлбэл 11100111 11011101 00111001 10101001 10101010 битүүд
10100011 10001001 01011101 11100111 10010000 (LRC)

гэж өөрчлөгдөнө.

LRC бүлэг битүүдийн алдаа илрүүлэлтийг ихэсгэх сайн талтай.

Дасгал 8.

10101001 00111001 11011101 11100111 10101010 дамжуулахад дараах битийн төлөвийн алдаа үүссэн бол LRC аргаар битүүдийн алдааг тодорхойлъё.

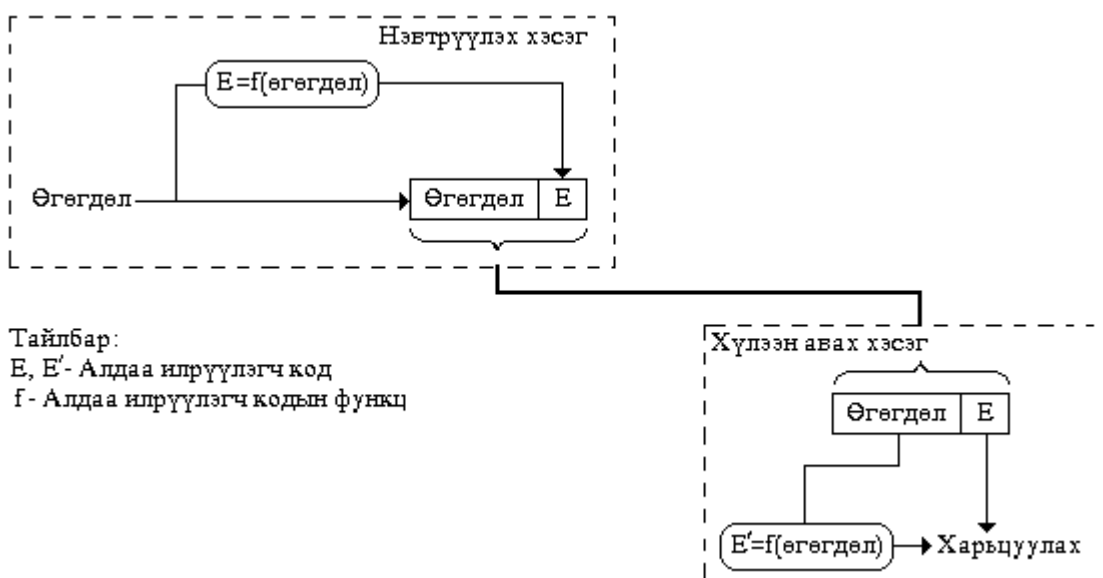
10100011 10001001 11011101 11100111 10101010 (LRC)

LRC хүлээн авах тоолуурын төхөөрөмж дээр зарим битүүд тэгшийн парити дүрмээр тоологдохгүй. Эндээс өгөгдлийн блок хаягдана.

Дээрх жишээнд үзүүлснээр n бит бүлэг алдаагаар хялбархан тодорхойлогдоно. Нэгж өгөгдлийн блокын 2 бит, мөн бусад өгөгдлийн блокын яг адилхан битийн байрлалд хоёр битийн алдаа үүсвэл LRC аргаар бит алдааг илрүүлж чадахгүй. Жишээлбэл, 11110000 ба 11000011 хоёр блокын тус бүрийн эхний ба төгсгөлийн битүүд инверслэгдсэн үед блок өгөгдлүүд (01110001 ба 01000010) хэлбэртэй. Дээрх хоёр төрлийн алдаа үүссэн учир битийн алдаа илрүүлэгдэхгүй.

3.5.4 Багцын битийн алдаа илрүүлэх CRC арга

CRC талбарын битүүдээр дараах 3 аргаар битийн алдааг илрүүлнэ.



Зураг 3.14 Фреймийн алдаа илрүүлэх блок схем

а. Модуль хоёрын математик үйлдлээр алдаа илрүүлэх арга

б. Фреймийн битүүдийг хувьсагчаар орлуулж, алдаа илрүүлэх арга

в. Тоон логикийн арга

Фреймийн бит алдааг тодорхойлох аргыг зураг 3.14-д бүтцийн схемээр авч үзье. Нэвтрүүлэх хэсэгт өгөгдлийн бүтцэд E битүүдийг нэмж дамжуулна. Хүлээн авах хэсэгт E битүүд нэмэгдсэн битүүдийн цувааг E битүүдэд харьцуулах замаар алдааг илрүүлнэ. E битүүдийг сонгохдоо хуваагч загвар битээс (P) хамааруулан сонгоно. E битүүдийн цувааг CRC алдаа илрүүлэх битүүд гэж нэрлэнэ. Энэ аргын зарчмыг нарийвчлан авч үзье.

Орчин үеийн тоон мэдээллийн системд багцын фреймийн алдааг илрүүлэх үндсэн аргаар авч үздэг. Цикл кодлолын зарчмаар багцын фреймийн алдааг илрүүлнэ. Энэ аргын үед мэдээг илэрхийлсэн фреймийн битүүдэд илүүдэл тэмдэгт оруулж өгөх замаар битийн алдааг илрүүлэх боломжтой.

Өгөгдлийн K битүүдийг блок өгөгдөл гэж үзвэл CRC (зарим тохиолдолд FCS талбар n гэж нэрлэнэ) гэж нэрлэгдэх n битийн дарааллыг нэмж өгнө. Үүний үр дүнд $k + n$ тооны битүүд дамжуулагдана. Эдгээр битүүдийг P гэсэн тодорхой бүтэцтэй загвар битүүдэд хуваахад үүссэн загвар битийн цувааг багцын битүүдэд нэмж өгнө. Энэ нэмэлт n битүүдийн тоо P битийн тооноос нэгээр цөөн байна. Энэ битүүдийг CRC битүүд гэж нэрлэнэ. Зураг 3.15-д ерөнхий зарчмыг үзүүлээ.

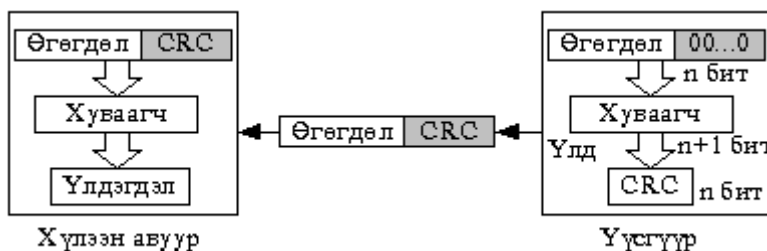
Хүлээн авах хэсэгт CRC битүүд бүхий өгөгдлийн битүүдээс бүрдэх фреймийн битүүдийг хуваагч P загвар битүүдэд хуваахад R -үлдэгдэлгүй бол алдаагүй. R -үлдэгдэлтэй гарвал алдаатай гэж үзнэ. Энэ нь үүсгүүрээс дамжуулагдсан өгөгдлийн фрейм дамжууллын явцад алдагдсан гэсэн үг.

Нэвтрүүлэх хэсгээс фреймийн дахин дамжуулал хийгдэнэ. Сүүлийн үед дээрх аргаар алдааг илрүүлээд алдаа засварлах кодуудын тусламжтай үүсгүүрээс дахин дамжуулал хийхгүйгээр хүлээн авах хэсэгт битүүдийн алдааг засах техник өргөн ашиглагдах болсон.

Үлдэгдэл R нь n тооны битүүдээс тогтох тэгээс ялгаатай комбинац үүсвэл алдаатай. Үлдэгдэл гарахгүй бол алдаагүй. Энэ битүүдийн нэмэх, хуваах үйл явц нэг л циклээр үелэн давтагддаг.

$P = n + 1$ -ээр сонгогдоно.

P загвар бит CRC-талбарын битүүдээс нэгээр их битүүд байхаар сонгогдоно.



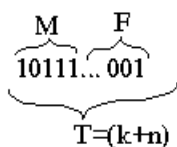
Зураг 3.15 Алдаа илрүүлэх CRC ын аргын зарчмын бүрдүүвч

Зураг 3.15-д зурсан схемийн ажиллагаагаар дээрх аргын үндсэн зарчмаар хүлээн авуур оролтондоо орж ирсэн фреймийг P битүүдэд хуваагаад хэрэв үлдэгдэлгүй хуваагдвал уг фрейм алдаагүй хүлээн авагдана.

Өгөгдлийн бүх фреймүүдийн форматын бүтцэд CRC талбарын загвар битүүд дүрслэгдсэн байдаг.

Дээрх CRC алдаа илрүүлэх аргыг дараах 3 замаар шийддэг.

3.5.4.1 Модуль хоёрын үйлдэл ашиглах арга



Модуль 2-ын үйлдлээр алдаа тооцох аргын үед модуль хоёрын үйлдлийг ашиглана. Ерөнхий зарчмыг загварчилж авч үзье.

Үүсгүүрээс хүлээн авах хэсэг рүү $T = (n + k)$ бит бүхий фрейм дамжигдана.

($n < k$) байхаар сонгоно.

M - T битүүдийн эхний k тооны мэдээллийн битүүд юм.

F - T битүүдийн төгсгөлийн n битүүд, FCS n бит гэж нэрлэнэ.

$P = n + 1$ (хуваагч загвар бит) тоогоор сонгогдоно. Эндээс

$$T = 2^n M + F \quad (3.12)$$

гэж орлуулж болно. Фреймийн битүүдийн тоо (3.12) томъёогоор тодорхойлогдоно.

F битүүд нь $n+k$ битүүдийг P загвар битүүдэд хуваахад үүсэх боломжтой үлдэгдэл R битээр тодорхойлогдоно. F битүүдийг эх өгөгдлийн битүүдэд нэмж дамжуулна.

Алдаагүй дамжигдсан байх нөхцөл T/P гэж хуваахад хүлээн авах хэсэгт үлдэгдэлгүй хуваагдаж, R үлдэгдэл битийн комбинацаар үүсэхгүй, тэгийн цуваагаар илэрхийлэгдэх ёстой. (3.13) загвараар шалгана.

$$T/P = \frac{2^n M}{P} = Q + \frac{R}{P} \quad (3.13)$$

R - үлдэгдэл, Q - коэффициент.

Хуваалтын процесс нь хоёртын тоололд учраас үлдэгдэл нь үргэлж P битээс нэг битээр цөөн. Бид энэ үлдэгдлийг FCS битүүд гэж авч үзнэ.

$$T = 2^n M + R$$

Дээрх томъёоны үлдэгдэл бит болох R бит нь мэдээллийн фреймийн F битээр тооцогдоно.

Ийм учраас хүлээн авах хэсэгт R битээ үндсэн битүүдийн цуваан дээр нэмж, хуваагч загвар P битүүдэд хувааж, алдаатай дамжигдаж ирсэн эсэхийг шалгах зарчимтай.

$$T/P = Q \text{ (коэффициент)} + \frac{R}{P} + \frac{R}{P} = \frac{T}{P} = Q + \frac{R+R}{P} = Q$$

Дасгал 9:

1. Фреймийн мэдээллийн битүүдийг $M=1010001101$ (10 бит) гэж сонголоо.

Хуваагч загвар бит $P = 110101$ (6 бит) гэж үзье.

P -г $(n+1)$ тоогоор сонгоно.

Үлдэгдэл загвар бит FCS R -г $(n-1)$ тоотой тэнцүү гэдгээс 5 бит) тооцох замаар алдааг илрүүлье.

Шийдэл:

1. $M=1010001101$ гэдгээс $T = (n + k)$

2. Мэдээллийн битүүд M нь 2^5 -аар үржигдээд үр дүнд нь 101000110100000 битийн цуваа үүснэ.

3. $M/P=?$ $M \times 2^5 / P = \frac{101000110100000}{110101} =$ гэдгээс

$$\text{Нийт мэдээллийн бит : } 101000110100000 \left| \begin{array}{l} 110101 = P \\ 1101010110 = Q \end{array} \right.$$

$$\begin{array}{r} 110101 \\ \underline{111011} \\ 110101 \\ \underline{111010} \end{array}$$

$$\begin{array}{r} 110101 \\ \hline 111110 \\ \\ 110101 \\ \hline 101100 \\ \\ 110101 \\ \hline 110010 \\ \\ 110101 \\ \hline 01110 \leftarrow R \end{array}$$

4. Үлдэгдэл $R = 01110$ 5 битийн комбинацаар үүсгэгдсэн $R(F)$ битүүдийг эх өгөгдлийн битүүдэд нэмж дамжуулна. Эдгээр R -ээр тодорхойлогдох F битүүдийг CRC битүүд гэж нэрлэнэ.

$T = 2^n M + F$ нөхцөлөөр үүссэн сүлжээгээр дамжигдах 101000110100000 битүүд бүхий багцын фреймийн битүүдийн FCS байрлуудад үлдэгдэл R (01110) нэмэгдээд $(2^n M + R)$ нийт дамжигдсан $T = 101000110101110$ гэсэн фреймийн битүүдийн цуваа үүснэ.

5. Хэрэв фрейм алдаагүй дамжигдсан бол T фрейм P загвар битүүдэд дараах байдлаар үлдэгдэлгүй хуваагдана. $R=00000$ гарсан тул фрейм алдаагүй хүлээн авагдсан гэсэн үг.

$$\left| \begin{array}{l} 110101 \rightarrow P \\ 1101010110 \rightarrow Q \end{array} \right. \leftarrow T \rightarrow 101000110101110 \text{ буюу } \frac{T}{P} = Q + R \text{ гэдгээс } R = 00000$$

Тайлбар: P загвар битүүдийг өгөгдлийн сүлжээгээр дамжигдаж буй фреймийн форматын доторхи FCS (CRC) талбарын битүүдийн уртаас нэгээр их тоогоор сонгоно. Фреймийн битүүдийн алдаа нь ихэнх тохиолдолд битийн инверс хэлбэрээр илэрдэг.

$n+k$ битүүдээс тогтох өгөгдлийн фреймийн алдаанууд алдааны байрлал бүрд 1 импульстай $n+k$ битүүдийн хэсгүүдээр илэрхийлэгддэг. Яагаад гэвэл битийн инверслэгдэх алдааны нөхцөлийг модуль хоёрын үйлдлээр тодорхойлдог. Хүлээн авагдсан фрейм

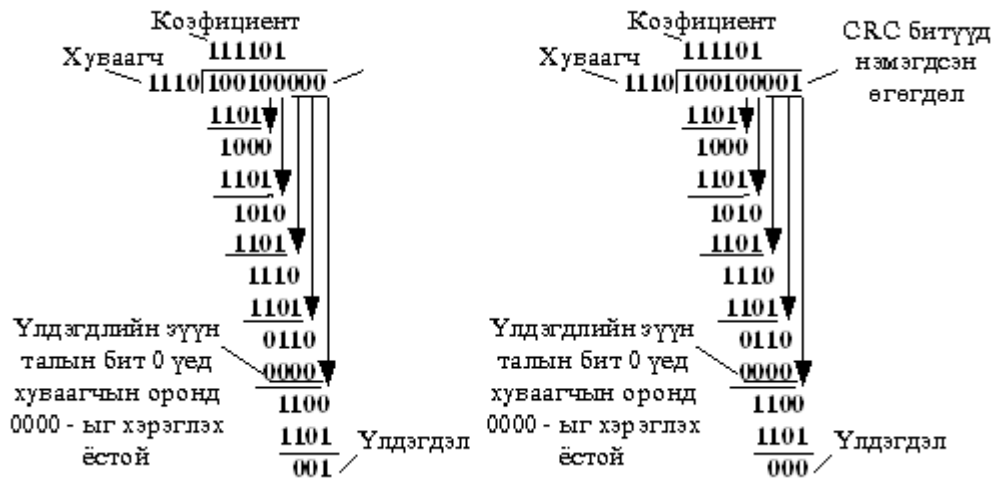
$$T_R = T + E \text{ хэмжээтэй байх ёстой.}$$

Энд: T_R - хүлээн авагдсан фрейм

T - дамжуулагдсан фрейм

E - алдаа гарсан битүүдийн байрлалууд дахь R битийн цуваа. Зураг 3.16а,б-д нэвтрүүлэх ба хүлээн авах хэсгийн CRC генератор ба CRC тоолуурын төхөөрөмжийн өгөгдлийн битүүдийн хоёртын хуваалтын зарчмыг жишээгээр үзүүллээ. Хуваагч- P , коэффициент- Q , үлдэгдэл- R , P бит 4 битээс тогтсон цуваагаар сонгогдсон болохоор

үлдэгдэл R битүүдийн тоо P битүүдийн тооноос нэгээр бага 3 битийн цуваагаар тодорхойлогдоно. Үлдэгдэл 001 битийн комбинацыг CRC битүүд гэж нэрлэнэ. Энэ CRC битийн цувааг өгөгдлийн боловсруулалтын сүлжээний түвшний багцын бүтцэд нэмж өгөх замаар сувгийн түвшний өгөгдлийн фреймийг хэлбэржүүлнэ.



Зураг 3.16аб CRC генератор, тоолуурын хоёртын хуваалтууд

3.5.4.2 Хувьсагчаар орлуулах арга

CRC-ийн алдаа тодорхойлох 2 дахь арга нь хоёртын цувааг X хэмжигдэхүүнээс хамаарах хувьсах хэмжигдэхүүнээр орлуулж тооцох юм. Алдаа тодорхойлох ерөнхий зарчим модуль хоёрын аргатай адилхан. Ялгаа нь битийн комбинацыг хувьсагчын полиномоор орлуулна.

Дасгал 10.

Локаль Этернэт сүлжээний HDLC-LLC/MAC фреймийн мэдээллийн битүүдийг $M=110011$ гэж авч үзье. Загвар бит $P=11001$ гэж сонгосон.

Шийдэл.

Хувьсагчын аргын үед $M = 110011 \Leftrightarrow M(x) = x^5 + x^4 + x + 1$ гэж полиномоор орлуулагдана.

Загвар бит $P=11001$ гэж сонгосон гэвэл хувьсагчын полиномоор $P(x) = x^4 + x^3 + 1$ хэлбэртэй болно. Полиномын аргын үндсэн томъёоллыг бичвэл $n=P-1$ тоотой тэнцүү хувьсагчын полиномоор сонгогдоно.

$$\frac{X^n M(x)}{P(x)} = Q(x) + \frac{R(x)}{P(x)}$$

$$T(x) = X^n M(x) + R(x)$$

$R(x)$ -ээр илэрхийлэгдэх тоон цувааг багцын битүүдэд нэмж өгнө. Үүний үр дүнд фрейм үүснэ. $R(x)$ битийн цувааг CRC битүүд гэж нэрлэнэ. Хүлээн авах хэсэгт $T(x)$ тоон цувааны полиномыг $R(x)$ тоон цувааны полиномд нэмж, $P(x)$ тоон цувааны полиномд хувааж, алдааг шалгана.

Хувьсагчын аргаар дараах төрлийн алдаанууд илрүүлэгдэнэ.

- Фреймийн доторх зөвхөн ганц битийн алдаа
- $P(x)$ загвар битүүд гурван нэг битээр төгссөн үед бүх хоёр битийн алдаа
- Сонгогдсон P загвар битүүдийн цувааны уртаас бага урттай богино фреймийн дамжууллын бит алдаа.
- Фреймийн доторх FCS талбарын битүүдийн уртаас бага урттай богино фреймийн (*burst frame*) алдаа.

Алдаа илрүүлэх загвар битийн полином $P(x)$ -ын дараах 3 хувилбар сүлжээний багцын фреймд тэмдэглэгддэг.

1. CRC-16 = $X^{16} + X^{15} + X^2 + 1$

2. CRC-CCITT = $X^{16} + X^{12} + X^5 + 1$

3. CRC-32 = $X^{32} + X^{26} + X^{32} + X^{23} + X^{22} + X^{16} + X^{12} + X^{11} + X^{10} + X^8 + X^7 + X^5 + X^4 + X^2 + 1$

Өгөгдлийн HDLC-ын фреймийн CRC битүүдийн полином ихэвчлэн CRC-32 полиномын стандарт үүсгэдэг.

3.5.4.3 Тоон логикийн арга

Тоон логикийн аргын үед CRC-ын талбараар фреймийн алдаа илрүүлэх арга нь модуль 2 ба шилжүүлгийн регистрийн хэлхээнүүдээс бүрдэх схемээр хэрэгжинэ. Шилжүүлгийн региструуд нь нэг битийн цувааг түр хадгалж дамжуулах хэлхээг үүсгэнэ. Гаралт оролтын хэлхээтэй. Нэг битийн шилжүүлгийн хугацаанаас хамаарч тасалдалын хугацааг тодорхойлно. Нэг регистрээс нөгөө нөгөө регистрт бит дамжуулах хугацааг битийн шилжүүлгийн хугацаа гэнэ.

Хэлхээний бүтэц дараах онцлогтой:

- I. Шилжүүлгийн регистрийн тоо FCS талбарын урттай эквивалент тэнцүү n битүүдийн тоогоор тодорхойлогдоно.
- II. Хэлхээ n хүртэлх модуль хоёрын үржвэрийн модулиас тогтоно.
- III. Модуль үйлдэл хийгч хэлхээний гаралтын 0 ба 1 битийн төлөв $P(x)$ полиномын 0 ба 1 битийн байх төлөвтэй харьцуулагдана.

Зураг 3.17-д хэлхээний бүтэц ба схемийн ажиллагааг хүснэгтээр үзүүлсэн.

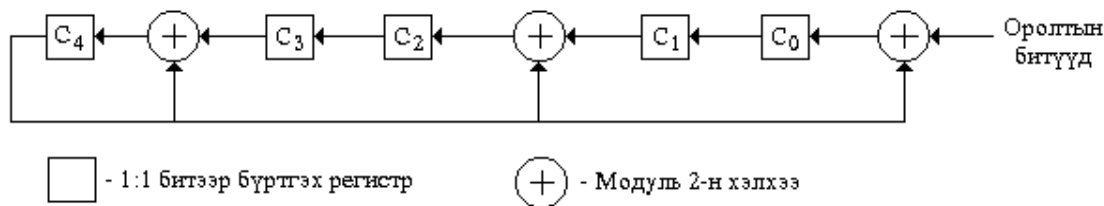
Тус хэлхээгээр дамжих мэдээллийн битийн цувааны битүүдийг $M = 1010001101$ -гэж үзье. Хувьсагчаар орлуулсан хэлбэр нь $M(x) = X^9 + X^7 + X^3 + X^2 + 1$

Хуваагч полином $P = 110101 \Rightarrow P(x) = X^5 + X^4 + X^2 + 1$ хэлбэртэй болно.

Зургийн (а) хэсэгт регистрийн хэлхээний бүх шилжүүлгийн регистр 0 битийн төлөвөөр битийн цувааны дамжуулал эхлэнэ. Схемийг P -ээс хамааруулж, дээрх 3 зарчмаар тодорхойлно. Мэдээллийн битүүд бит битээр хэлхээний оролтод өгөгдөж, (b) зургийн 15 шатлалаар хэлхээгээр дамжиж дуусна. Хүснэгт (b)-ын мөр бүхэн 5 шилжүүлгийн регистр ба 3 модуль хоёрын үйлдэл хийгч хэлхээнүүдийн эхний төлөвөөс шатлал 15 буюу мэдээлэл дамжиж дуусах хүртэлх хугацааны гаралтын битүүдийн төлөвүүдийг үзүүлсэн.

Хэлхээний оролтод бит орж ирэх бүрд дараагийн шатны үйлдэлд шилжинэ. Шилжүүлгийн регистрийн хэлхээнд хугацааны агшинд 1, 1 битийн алхмаар оролтын импульсийн дамжууллыг хүснэгтээс харвал регистр бүрд тухайн импульс хадгалагдаж байгаагаар схемийн ажиллагаа эхлэнэ. Оролтын импульс схемийн оролтод өгөгдөж, хүснэгтийн дагуу модуль 2-ын үйлдэл хэрэгжинэ. C_4 -ийн гаралтанд нэг эсвэл тэг нэг бит гарах үед уг бит нь дараагийн шилжүүлэг дээр C_3 C_1 -ын оролтын битүүдтэй модуль 2-р нэмэгдэнэ. Мэдээллийн бүх битүүдийг зураг 3.17-д үзүүлсэн хэлхээгээр дамжуулахад хэлхээний ажиллагааны төлөв 3.17б-ын хүснэгтийн дагуу тодорхойлогдоно. Нийт мэдээллийн битүүдийг дамжуулсны дараа нэмэлт таван 0-ийн битүүдийг дамжуулснаар схем анхны төлөвт орно..

Энэ 5 битүүд нь фреймийн CRC буюу FCS талбарын 5 битүүдийг илэрхийлнэ.



(a). Бүртгэх регистрийн хэрэглээ

	C ₄	C ₃	C ₂	C ₁	C ₀	C ₄ ⊕C ₃	C ₄ ⊕C ₁	C ₄ ⊕Оролт	Оролт
Эхний төлөв	0	0	0	0	0	0	0	1	1
Шатлал 1	0	0	0	0	1	0	0	0	0
Шатлал 2	0	0	0	1	0	0	1	1	1
Шатлал 3	0	0	1	0	1	0	0	0	0
Шатлал 4	0	1	0	1	0	1	1	0	0
Шатлал 5	1	0	1	0	0	1	1	1	0
Шатлал 6	1	1	1	0	1	0	1	0	1
Шатлал 7	0	1	1	1	0	1	1	1	1
Шатлал 8	1	1	1	0	1	0	1	1	0
Шатлал 9	0	1	1	1	1	1	1	1	1
Шатлал 10	1	1	1	1	1	0	0	1	0
Шатлал 11	0	1	0	1	1	1	1	0	0
Шатлал 12	1	0	1	1	0	1	0	1	0
Шатлал 13	1	1	0	0	1	0	1	1	0
Шатлал 14	0	0	1	1	1	0	1	0	0
Шатлал 15	0	1	1	1	0	1	1	0	--

Хэлхээгээр илгээгдсэн өгөгдөл

Нэмэлт 5-н тэг битүүд

(b). Схемын ажиллагааны таблиц

Зураг 3.17 Тоон логикийн аргын схемийн бүтэц, ажиллагаа

Мэдээллийн битүүд дамжиж дууссаны дараа шилжүүлгийн региструудээр 5 тэгийн битүүд дараалан дамжина. Хэлхээ эхний төлөвтөө орно. Дараагийн дамжуулалд бэлэн өгөгдлийн фреймийн FCS талбарын битүүдийг үүсгэнэ. Дээрх схемийг сонгохдоо хуваагч битийн тооноос хамааруулна.

Дээрх аргуудаар сүлжээгээр мэдээлэл буюу өгөгдлийг тээгч багцын фреймийн алдааг илрүүлдэг. Хэрэв дээрх техникээр тооцоолоход хүлээн авах хэсэгт уг фрейм алдаагүй дамжигдаж ирсэн бол хүлээн авах хэсгээс нэвтрүүлэх хэсэг рүү АСК богино багц дамжуулагдана. Хэрэв үлдэгдэл R тодорхой битүүдээр гарвал NACK богино багцыг дамжуулдаг.

Энэ дамжууллын ажиллагаа нь дараагийн хэсэгт үзэх алдааны хяналтын автомат давталтын хүсэлтийн ARQ протоколоор хэрэгжинэ.

4 дүгээр аргаар нэмэлт битүүдийн комбинацын төлөвөөр багцын битүүдийн алдааг илрүүлнэ. LRC, VRC, CRC-ын аргатай зарчим адилхан, өгөгдлийн боловсруулалтын өндөр түвшинд нийлбэр тоолох аргын үйлдлээр багцын фрейсийн битүүдийн алдааг илрүүлнэ.

Ашигласан материал

1. Tuyatsetseg badarch, "Data communications" , Third edition, 2016. Ulaanbaatar, Mongolia.
2. Behrouz A. Forouzan "Data communications and Networking " , 2 edition, McGraw-Hill, 2013, ISBN 7-302-04378-7.
3. "Computer Networks: A Top-Down Approach," , J. F. Kurose and K. W. Ross, 7th, Edition, Addison-Wesley, 2017, ISBN: 9780133594140 or 9780134296135.